

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

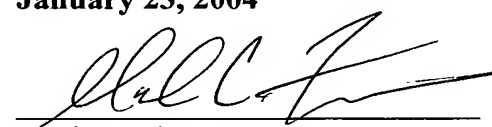
IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT
Docket No. 20063/OG03-038

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s): Dae Kyeun KIM)	I hereby certify that the documents
Serial No.: 10/747,830)	referred to as enclosed herewith are
Filed: December 29, 2003)	being deposited with the United States
For: "Methods of Manufacturing)	Postal Service, first class postage
Semiconductor Devices")	prepaid, in an envelope addressed to
Group Art Unit: Unknown)	the Commissioner for Patents, P.O.
Examiner: Not Yet Assigned)	Box 1450, Alexandria, Virginia
)	22313-1450 on this date:
)	
)	January 23, 2004
)	
)	
)	Mark C. Zimmerman
)	Reg. No. 44,006

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

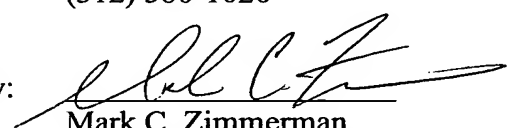
Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No.
10-2002-0087899 filed December 31, 2002, the priority of which is claimed under 35
U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By:


Mark C. Zimmerman
Registration No.: 44,006

January 23, 2004



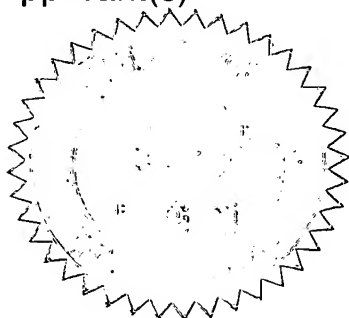
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0087899
Application Number

출원 년 월 일 : 2002년 12월 31일
Date of Application DEC 31, 2002

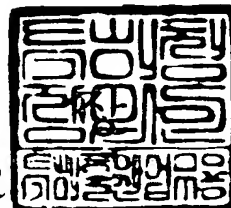
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 11 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2002.12.31
【발명의 명칭】	반도체 장치의 제조 방법
【발명의 영문명칭】	method for manufacturing a semiconductor device
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	2001-050901-4
【발명자】	
【성명의 국문표기】	김대균
【성명의 영문표기】	KIM,Dae Kyeun
【주민등록번호】	730727-1057717
【우편번호】	449-907
【주소】	경기도 용인시 기흥읍 신갈리 원대마을 신갈한신아파트 106동 102호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	5 면 5,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	34,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

개시된 발명은 엘디디 구조와 실리사이드막을 갖는 트랜지스터를 포함하는 반도체 장치의 제조 방법에 관한 것으로서, 특히, 기판 상에 게이트 전극부를 형성하는 단계와, 상기 게이트 전극부를 이온 주입 마스크로 사용한 이온 주입을 실시하여 상기 기판에 얇은 접합의 제1예비 소스/드레인 영역을 형성하는 단계와, 상기 게이트 전극부를 갖는 기판 상에 상기 게이트 전극부의 상부 표면과 상기 제1예비 소스/드레인 영역이 형성된 기판 표면을 노출시키는 콘택을 갖는 층간 절연막 패턴을 형성하는 단계와, 상기 층간 절연막을 이온 주입 마스크로 사용한 이온 주입을 실시함에 따라 상기 얇은 접합의 제1예비 소스/드레인 영역에 깊은 접합의 제2예비 소스/드레인 영역이 형성된 엘디디 소스/드레인 영역을 형성하는 단계와, 상기 게이트 전극부의 상부 표면과 상기 엘디디 소스/드레인 영역이 형성된 기판 표면에 실리사이드막을 형성하는 단계와, 상기 콘택에 금속 배선을 매립시키는 단계를 포함하는 것을 특징으로 한다.

【대표도】

도 2f

【명세서】**【발명의 명칭】**

반도체 장치의 제조 방법{method for manufacturing a semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1k는 종래의 반도체 장치의 제조 방법을 나타내는 단면도들이다.

도 2a 내지 도 2j는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 나타내는 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 장치의 제조 방법에 관한 것으로서, 보다 상세하게는 엘디디(LDD : lightly doped drain) 구조와 실리사이드막(silicide layer)을 갖는 트랜지스터를 포함하는 반도체 장치의 제조 방법에 관한 것이다.
- <4> 일반적인 반도체 장치의 제조에서, 트랜지스터를 형성하는 방법은 다음과 같다. 먼저, 기판 상에 게이트 전극을 형성한 후, 상기 게이트 전극을 이온 주입 마스크로 사용한 이온 주입을 실시하여 얇은 접합의 소스/드레인 영역을 형성한다. 그리고, 상기 게이트 전극의 측벽에 스페이서를 형성한 후, 상기 스페이서를 이온 주입 마스크로 사용한 이온 주입을 실시하여 깊은 접합의 소스/드레인 영역을 형성한다.
- <5> 이에 따라, 상기 기판 상에 게이트 전극 및 얇은 접합의 소스/드레인 영역과 깊은 접합의 소스/드레인 영역을 갖는 엘디디의 소스/드레인 영역을 포함하는 트랜지스터가 형성된다.

- <6> 그리고, 상기 트랜지스터의 전기적 동작시 저항을 줄이기 위한 일환으로서, 상기 게이트 전극의 상부와 상기 소스/드레인 전극이 형성된 기판의 표면에 실리사이드막을 형성한다. 이때, 상기 스페이서는 실리사이드막이 형성되는 것을 저지한다.
- <7> 도 1a 내지 도 1k는 종래의 반도체 장치의 제조 방법을 나타내는 단면도들이다.
- <8> 도 1a를 참조하면, 기판(10) 상에 게이트 전극의 형성을 위한 게이트 산화막(12) 및 게이트 폴리(14)를 형성한다. 그리고, 상기 게이트 폴리 산화막(14) 상에 게이트 전극의 패터닝을 위한 마스크층(15)을 형성한다.
- <9> 도 1b를 참조하면, 상기 마스크층(15)을 식각 마스크로 사용한 상기 게이트 폴리 산화막(14) 및 게이트 산화막(12)을 패터닝하여 게이트 폴리 패턴(14a) 및 게이트 산화막 패턴(12a)으로 이루어지는 게이트 전극부(16)를 형성한다.
- <10> 도 1c를 참조하면, 상기 게이트 전극부(16)를 이온 주입 마스크로 사용한 이온 주입을 실시한다. 이에 따라, 상기 게이트 전극부(16)와 인접한 기판(10)의 표면 아래에 얇은 접합의 소스/드레인 영역(18)이 형성된다.
- <11> 도 1d를 참조하면, 상기 게이트 전극부(16)의 측벽에 스페이서(20)를 형성한다. 상기 스페이서(20)는 상기 게이트 전극부(16)를 갖는 기판(10) 상에 절연막을 형성한 후, 상기 절연막을 전면 식각함으로써 형성된다.
- <12> 도 1e를 참조하면, 상기 스페이서(20)를 이온 주입 마스크로 사용한 이온 주입을 실시한다. 이에 따라, 상기 스페이서(20)와 인접한 기판(10)의 표면 아래에 깊은 접합의 소스/드레인 영역(22)이 형성된다.

- <13> 따라서, 상기 얇은 접합과 깊은 접합을 갖는 엘디디의 소스/드레인 영역(24)이 형성된다.
- <14> 도 1f를 참조하면, 상기 게이트 전극부(16)를 갖는 기판(10) 상에 금속막(26)을 형성한다. 이때, 상기 금속막(26)은 티타늄막과 티타늄 질화막이 순차적으로 적층된 구조를 갖는다.
- <15> 도 1g를 참조하면, 상기 금속막(26)을 갖는 기판(10)을 열처리시킨다. 상기 열처리에 의해 살리사이드이션(Salicidation) 반응이 일어난다. 이에 따라, 일부 영역 즉, 게이트 전극부(16)의 상부와 소스/드레인 영역(24)이 형성된 기판(10)의 표면에 형성된 금속막(26)이 예비 실리사이드막(28a)으로 형성된다. 그러나, 상기 스페이서(20)가 형성된 부위에는 상기 예비 실리사이드막(28a)이 형성되지 않는다. 따라서, 상기 살리사이드이션 반응이 일어나지 않은 금속막(26)은 제거한다.
- <16> 도 1h를 참조하면, 상기 예비 실리사이드막(28a)을 갖는 기판(10)을 열처리시킨다. 이에 따라, 상기 예비 실리사이드막(28a)은 실리사이드막(28)을 형성된다.
- <17> 도 1i를 참조하면, 상기 실리사이드막(28)이 형성된 기판(10) 상에 콘택(30a)을 갖는 층간 절연막 패턴(30)을 형성한다. 상기 콘택(30a)에 의해 상기 소스/드레인 영역(24)의 기판(10) 표면에 형성된 실리사이드막(28) 및 상기 게이트 전극(16)의 상부에 형성된 실리사이드막(28)이 노출된다.
- <18> 도 1j 및 도 1k를 참조하면, 상기 콘택(30a)의 측벽에 장벽 금속막(을 형성한 후, 상기 콘택에 금속 배선으로 형성하기 위한 도전성 물질을 매립시킨다. 상기 금속 배선의 매립은 상기 도전성 물질을 형성한 후, 전면 식각을 실시함으로써 달성된다.
- <19> 이와 같이, 상기 일련의 공정을 실시함으로써 반도체 장치의 제조가 이루어진다.

<20> 여기서, 상기 스페이서는 이온 주입 마스크 및 실리사이드막의 형성을 저지하는 두 가지의 역할을 갖는다. 그러나, 상기 스페이서는 반도체 장치의 제조에서는 필요한 부분이지만, 상기 반도체 장치의 구동적인 측면에서는 불필요한 부분이다. 특히, 상기 스페이스는 전기적 구동에서는 리키지(leakage)의 원인으로 작용한다. 그리고, 상기 스페이서를 생략시킨 공정이 개발되어 실시 중에 있지만, 저항의 증가라는 문제점을 갖는다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명의 목적은, 스페이서를 생략하여도 전기적 특성에는 전혀 지장이 없고, 엘디디 구조 및 실리사이드막의 적용이 가능한 반도체 장치의 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<22> 상기 목적을 달성하기 위한 본 발명이 제조 방법은, 기판 상에 게이트 전극부를 형성하는 단계;

<23> 상기 게이트 전극부를 이온 주입 마스크로 사용한 이온 주입을 실시하여 상기 기판에 얇은 접합의 제1예비 소스/드레인 영역을 형성하는 단계;

<24> 상기 게이트 전극부를 갖는 기판 상에 상기 게이트 전극부의 상부 표면과 상기 제1예비 소스/드레인 영역이 형성된 기판 표면을 노출시키는 콘택을 갖는 층간 절연막 패턴을 형성하는 단계;

<25> 상기 층간 절연막을 이온 주입 마스크로 사용한 이온 주입을 실시함에 따라 상기 얇은 접합의 제1예비 소스/드레인 영역에 깊은 접합의 제2예비 소스/드레인 영역이 형성된 엘디디 소스/드레인 영역을 형성하는 단계; 상기 게이트 전극부의 상부 표면과 상기 엘디디 소스/드레

인 영역이 형성된 기판 표면에 실리사이드막을 형성하는 단계; 및 상기 콘택에 금속 배선을 매립시키는 단계를 포함하는 것을 특징으로 한다.

- <26> 그리고, 상기 제조 방법은, 상기 게이트 전극을 갖는 기판 상에 250 내지 350Å의 두께를 갖는 질화막을 형성하는 단계와, 상기 콘택의 측벽 및 저면에 장벽 금속층을 균일하게 형성하는 단계를 더 포함하는 것이 바람직하다.
- <27> 특히, 상기 실리사이드막의 형성은 상기 게이트 전극의 상부 표면과 소스/드레인 전극이 형성된 기판 표면에 금속막을 형성하는 단계와, 상기 결과물을 갖는 기판을 1차 열처리시키는 단계와, 상기 1차 열처리시킨 기판을 인시튜로 2차 열처리시키는 단계를 포함한다.
- <28> 이때, 본 발명의 일실시예에 따라 상기 금속막은 티타늄막, 질화 티타늄막 및 코발트막으로 구성된 그룹으로부터 선택되는 적어도 어느 하나인 것이 바람직하며, 본 발명의 다른 실시예에 따라 상기 실리사이드막을 형성하기 위한 금속막이 티타늄막 및 질화 티타늄막이 순차적으로 적층된 다층막으로도 형성될 수 있다.
- <29> 본 발명의 다른 실시예에 있어, 상기 티타늄막은 250 내지 350Å의 두께를 갖고, 상기 질화 티타늄막은 100 내지 200Å의 두께를 갖고, 상기 1차 열처리는 질소 가스를 사용한 700 내지 740℃의 온도 분위기에서 25 내지 35초 동안 실시하고, 상기 2차 열처리는 질소 가스를 사용한 800 내지 840℃의 온도 분위기에서 15 내지 25초 동안 실시한다.
- <30> 또한, 본 발명의 또 다른 실시예에 따라 상기 실리사이드막을 형성하기 위한 금속막이 코발트막, 티타늄막 및 질화 티타늄막이 순차적으로 적층된 다층막을 형성될 수 있다.
- <31> 본 발명의 또 다른 실시예에 있어, 상기 코발트막은 120 내지 170Å의 두께를 갖고, 상기 티타늄막은 80 내지 120Å의 두께를 갖고, 상기 질화 티타늄막은 130 내지 170Å의 두께를

갖고, 상기 1차 열처리는 질소 가스를 사용한 460 내지 500℃의 온도 분위기에서 50 내지 70초 동안 실시하고, 상기 2차 열처리는 질소 가스를 사용한 800 내지 840℃의 온도 분위기에서 25 내지 35초 동안 실시한다.

<32> 그리고, 상기 금속 배선은 텅스텐막이고, 상기 텅스텐막과 연결되고, 층간 절연막 상에 형성되는 금속 배선은 알루미늄막인 것이 바람직하다.

<33> 이와 같이, 상기 방법에 따라 제조된 반도체 장치의 경우에는 스페이서가 생략된다. 그리고, 상기 스페이서가 생략되지만, 엘디디 구조 및 실리콘사이드막의 형성은 가능하다. 특히, 상기 스페이서의 생략에도 불구하고, 전기적 특성에는 영향을 끼치지 않는다.

<34> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세하게 설명하기로 한다.

<35> 도 2a 내지 도 2j는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 나타내는 단면도들이다.

<36> 도 2a를 참조하면, 기판(40) 상에 게이트 산화막(42) 및 게이트 폴리(44)를 순차적으로 적층한다. 그리고, 상기 게이트 폴리(44) 상에 마스크층(46)을 형성한다. 상기 마스크층(46)은 포토레지스트 패턴인 것이 바람직하다. 따라서, 상기 마스크층(46)의 형성은 포토레지스트막을 형성한 후, 사진 식각 공정을 실시하여 포토레지스트 패턴으로 형성함에 의해 달성된다.

<37> 도 2b를 참조하면, 상기 마스크층(46)을 식각 마스크로 사용한 식각을 실시한다. 상기 식각에 의해 상기 게이트 폴리(44) 및 게이트 산화막(42) 각각은 게이트 폴리 패턴(44a) 및 게이트 산화막 패턴(42a)으로 형성된다. 이어서, 상기 마스크층(46)을 제거한다.

- <38> 따라서, 상기 기판(40)에는 게이트 산화막 패턴(42a) 및 게이트 산화막 패턴(44a)으로 이루어지는 게이트 전극부(48)가 형성된다.
- <39> 도 2c를 참조하면, 상기 게이트 전극(48)을 이온 주입 마스크로 사용한 이온 주입을 실시한다. 이에 따라, 상기 게이트 전극부(48)와 인접하는 기판(40) 표면의 아래 부분에 얇은 접합의 제1예비 소스/드레인 영역(50)이 형성된다.
- <40> 도 2d를 참조하면, 상기 게이트 전극부(48)를 갖는 기판(40) 상에 약 300Å의 두께를 갖는 질화막(52)을 형성한다. 상기 질화막(52)의 형성은 후속 공정에서 콘택을 갖는 층간 절연막 패턴을 형성할 때 미스얼라인(misalign)에 대한 마진(margin)을 확보하기 위함이다.
- <41> 도 2e를 참조하면, 상기 기판(40) 상에 콘택(54a)을 갖는 층간 절연막 패턴(54)을 형성한다. 그리고, 상기 콘택(54a)에 의해 상기 제1예비 소스/드레인 영역(50)이 형성된 기판(40)의 표면과 상기 게이트 전극부(48)의 상부 표면 즉, 게이트 폴리 패턴(44a)이 노출된다.
- <42> 상기 콘택(54a)을 갖는 층간 절연막 패턴(54)의 형성은 다음과 같다. 먼저, 기판(40) 상에 층간 절연막을 형성한다. 상기 층간 절연막의 예로서는 BPSG막, TEOS막 등을 들 수 있다. 이들은 단독으로 적층하거나 또는 순차적으로 적층할 수 있다. 그리고, 화학 기계적 연마와 같은 평탄화 공정을 실시하여 상기 층간 절연막의 표면을 평탄화시킨다. 이어서, 상기 층간 절연막 상에 식각 마스크로서 포토레지스트 패턴을 형성한다. 다음에, 상기 포토레지스트 패턴을 식각 마스크로 사용한 식각을 실시한다. 이에 따라, 상기 콘택(54a)을 갖는 층간 절연막 패턴(54)이 형성된다.

- <43> 도 2f를 참조하면, 상기 콘택(54a)을 갖는 기판(40)에 이온 주입을 실시한다. 이때, 상기 층간 절연막 패턴(54)은 이온 주입 마스크로 기능하고, 상기 콘택(54a)에 의해 노출된 부위에 이온이 주입된다.
- <44> 상기 이온의 주입에 의해 상기 제1예비 소스/드레인 전극(50)의 영역에는 깊은 접합의 제2예비 소스/드레인 영역(56)이 형성된다. 이와 같이, 상기 제1예비 소스/드레인 전극(50) 및 제2예비 소스/드레인 전극(56)이 형성됨으로서 엘디디 구조의 소스/드레인 영역(58)이 형성된다. 그리고, 상기 게이트 전극부(48)는 상기 이온 주입에 의해 그것의 도핑 농도가 높아진다. 이와 같이, 상기 도핑 농도가 높아질 경우 상기 게이트 전극부(48)의 전기적 구동에서 저항에 대한 우수한 특성을 가질 수 있다.
- <45> 도 2g를 참조하면, 상기 이온 주입을 계속적으로 실시한다. 이와 같이, 상기 계속적인 이온 주입에 의해 상기 노출된 부위가 단결정화의 구조를 갖는다. 이때, 상기 도 2g의 계속적인 이온 주입의 생략이 가능하다.
- <46> 도 2h를 참조하면, 상기 콘택(54a)의 측벽 및 저면에 장벽 금속층(60)을 형성한다. 상기 장벽 금속층(60)의 예로서는 티타늄막, 질화 티타늄막, 코발트막 등을 들 수 있다. 특히, 상기 장벽 금속층(60)의 예로서는 티타늄막과 질화 티타늄막이 순차적으로 적층되는 구성 또는 코발트막, 티타늄막 및 질화 티타늄막이 순차적으로 적층되는 구성을 들 수 있다.
- <47> 도 2i를 참조하면, 상기 기판(40)을 열처리하여 상기 콘택(54a)의 저면의 표면 상에 실리사이드막(62)을 형성한다. 이때, 상기 실리사이드막(62)은 상기 장벽 금속층(60)을 이용하여 형성한다.

- <48> 하지만, 상기 장벽 금속층(60)의 생략도 가능하기 때문에, 상기 콘택의 저부에만 상기 실리사이드막(62)으로 형성하기 위한 금속막을 형성한 후, 상기 금속막을 실리사이드막(62)으로 형성할 수도 있다. 그러나, 상기 금속막의 경우에도 상기 장벽 금속층과 마찬가지로 티타늄막, 질화 티타늄막, 코발트막 등을 들 수 있다. 특히, 상기 금속막의 예로서 티타늄막과 질화 티타늄막이 순차적으로 적층되는 구성 또는 코발트막, 티타늄막 및 질화 티타늄막이 순차적으로 적층되는 구성을 들 수 있다.
- <49> 따라서, 공정의 간편화를 위하여 상기 장벽 금속층(60)의 일부를 실리사이드막(62)으로 형성하는 것이 바람직하다.
- <50> 상기 실리사이드막(62)을 형성하기 위한 방법은 다음과 같다. 먼저, 상기 게이트 전극부(48)의 상부 표면과 소스/드레인 영역(58)이 형성된 기판(40) 표면에 금속막을 형성한 후, 상기 결과물을 갖는 기판(40)을 1차 열처리시키고, 인시튜로 2차 열처리시킨다. 이에 따라, 상기 금속막이 살리사이드이션(Salicidation) 반응을 통하여 상기 실리사이드막(62)으로 형성된다. 이때, 상기 금속막이 장벽 금속층(60)에 해당할 수도 있다.
- <51> 만약, 상기 실리사이드막(62)을 형성하기 위한 금속막이 티타늄막 및 질화 티타늄막이 순차적으로 적층된 다층막인 경우, 상기 티타늄막은 300Å 정도의 두께를 갖고, 상기 질화 티타늄막은 150Å 정도의 두께를 갖는다. 그리고, 상기 티타늄과 질화 티타늄막의 구성에서, 상기 1차 열처리는 질소 가스를 사용한 720℃ 정도의 온도 분위기에서 약 30초 동안 실시하고, 상기 2차 열처리는 질소 가스를 사용한 820℃ 정도의 온도 분위기에서 약 20초 동안 실시한다.
- <52> 만약, 상기 실리사이드막(62)을 형성하기 위한 금속막이 코발트막, 티타늄막 및 질화 티타늄막이 순차적으로 적층된 다층막인 경우, 상기 코발트막은 150Å 정도의 두께를 갖고, 상기 티타늄막은 100Å 정도의 두께를 갖고, 상기 질화 티타늄막은 150Å 정도의 두께를 갖고, 상

기 1차 열처리는 질소 가스를 사용한 460 내지 500℃의 온도 분위기에서 50 내지 70초 동안 실시하고, 상기 2차 열처리는 질소 가스를 사용한 800 내지 840℃의 온도 분위기에서 25 내지 35초 동안 실시한다.

<53> 도 2j를 참조하면, 상기 콘택(54a)에 금속 배선(64)으로서의 도전 물질을 매립시킨다. 상기 도전 물질의 예로서는 매립 특성이 우수한 텅스텐인 것이 바람직하다. 상기 매립 금속 배선(64)의 형성은 다음과 같다. 먼저, 상기 도전 물질을 상기 층간 절연막 패턴(54) 상에 형성한다. 따라서, 상기 콘택(54a)에도 상기 도전 물질이 매립된다. 이어서, 화학 기계적 연마 등과 같은 평탄화 공정을 실시한다. 이때, 상기 평탄화를 위한 타겟으로서는 상기 층간 절연막 패턴(54)의 표면이다. 따라서, 상기 평탄화를 실시함으로써 상기 콘택(54a)에만 금속 배선(64)으로서의 도전 물질이 매립된다.

<54> 이어서, 상기 도전 물질이 매립된 층간 절연막 패턴(54) 상에 금속 배선으로서의 금속막을 형성한다. 이때, 상기 금속막은 상기 콘택의 금속 배선(64)과 연결되는 구성을 갖는다. 따라서, 상기 매립 금속 배선(64)에 의해 전기적으로 연결된다.

【발명의 효과】

<55> 이와 같이, 본 발명에 의하면, 스페이서가 생략된 구조의 반도체 장치의 제조가 가능하다. 특히, 상기 스페이서를 생략함에도 불구하고 엘디디 구조 및 실리사이드막의 형성이 가능하다.

<56> 따라서, 본 발명의 제조 방법을 반도체 장치 특히, 에스램과 같은 반도체 장치에 적절하게 적용함으로써 전기적 특성 뿐만 아니라 구동적 특성의 향상까지도 동시에 꾀할 수 있다.

<57> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

기판 상에 게이트 전극부를 형성하는 단계;

상기 게이트 전극부를 이온 주입 마스크로 사용한 이온 주입을 실시하여 상기 기판에 얇은 접합의 제1예비 소스/드레인 영역을 형성하는 단계;

상기 게이트 전극부를 갖는 기판 상에 상기 게이트 전극부의 상부 표면과 상기 제1예비 소스/드레인 영역이 형성된 기판 표면을 노출시키는 콘택을 갖는 층간 절연막 패턴을 형성하는 단계;

상기 층간 절연막을 이온 주입 마스크로 사용한 이온 주입을 실시함에 따라 상기 얇은 접합의 제1예비 소스/드레인 영역에 깊은 접합의 제2예비 소스/드레인 영역이 형성된 엘디디 소스/드레인 영역을 형성하는 단계;

상기 게이트 전극부의 상부 표면과 상기 엘디디 소스/드레인 영역이 형성된 기판 표면에 실리사이드막을 형성하는 단계; 및

상기 콘택에 금속 배선을 매립시키는 단계를 포함하는 반도체 장치의 제조 방법.

【청구항 2】

제 1 항에 있어서, 상기 게이트 전극부를 갖는 기판 상에 250 내지 350Å의 두께를 갖는 질화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 3】

제 1 항에 있어서, 상기 콘택의 측벽 및 저면에 장벽 금속층을 균일하게 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 4】

제 1 항에 있어서, 상기 실리사이드막의 형성은,

상기 게이트 전극부의 상부 표면과 상기 엘디디 소스/드레인 영역이 형성된 기판 표면에 금속막을 형성하는 단계;

상기 결과물을 갖는 기판을 1차 열처리시키는 단계; 및

상기 1차 열처리시킨 기판을 인시튜로 2차 열처리시키는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 5】

제 4 항에 있어서, 상기 금속막은 티타늄막, 질화 티타늄막 및 코발트막으로 구성된 그룹으로부터 선택되는 적어도 어느 하나인 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 6】

제 4 항에 있어서, 상기 실리사이드막을 형성하기 위한 금속막이 티타늄막 및 질화 티타늄막이 순차적으로 적층된 다층막으로 형성되는 것을 특징으로 반도체 장치의 제조 방법.

【청구항 7】

제 6 항에 있어서, 상기 티타늄막은 250 내지 350 Å의 두께를 갖고, 상기 질화 티타늄막은 100 내지 200 Å의 두께를 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 8】

제 6 항에 있어서,

상기 금속막은 1차 및 2차 열처리에 의해 형성되며, 상기 1차 열처리는 질소 가스를 사용한 700 내지 740℃의 온도 분위기에서 25 내지 35초 동안 실시하고, 상기 2차 열처리는 질소

가스를 사용한 800 내지 840℃의 온도 분위기에서 15 내지 25초 동안 실시하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 9】

제 4 항에 있어서, 상기 실리사이드막을 형성하기 위한 금속막이 코발트막, 티타늄막 및 질화 티타늄막이 순차적으로 적층된 다층막으로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 10】

제 9 항에 있어서, 상기 코발트막은 120 내지 170Å의 두께를 갖고, 상기 티타늄막은 80 내지 120Å의 두께를 갖고, 상기 질화 티타늄막은 130 내지 170Å의 두께를 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 11】

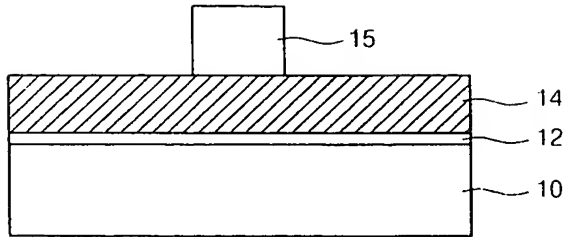
제 9 항에 있어서, 상기 금속막은 1차 및 2차 열처리에 의해 형성되며, 상기 1차 열처리는 질소 가스를 사용한 460 내지 500℃의 온도 분위기에서 50 내지 70초 동안 실시하고, 상기 2차 열처리는 질소 가스를 사용한 800 내지 840℃의 온도 분위기에서 25 내지 35초 동안 실시하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 12】

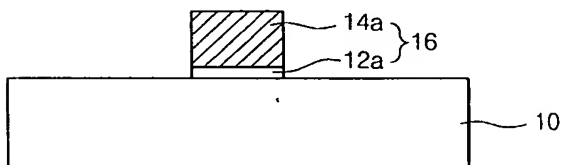
제 1 항에 있어서, 상기 금속 배선은 텅스텐막인 것을 특징으로 하는 반도체 장치의 제조 방법.

【도면】

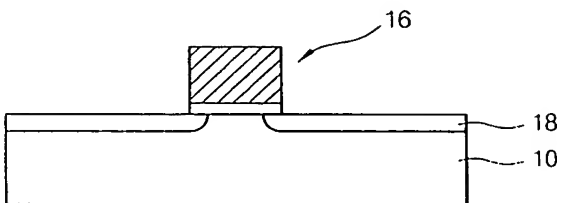
【도 1a】



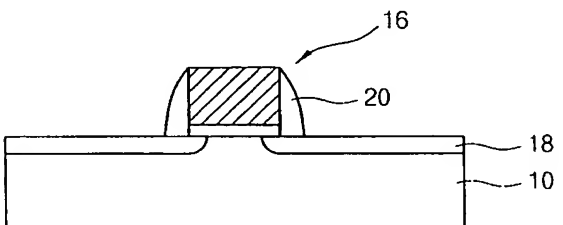
【도 1b】



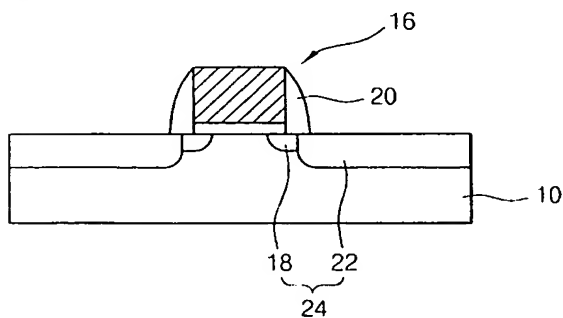
【도 1c】



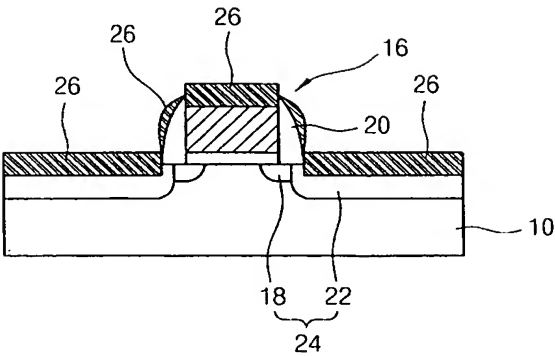
【도 1d】



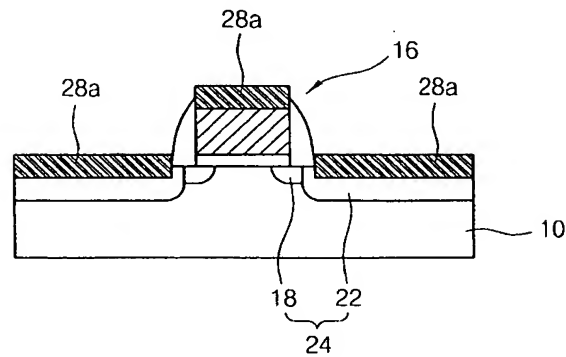
【도 1e】



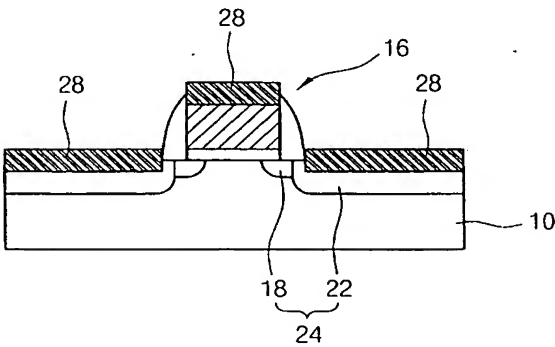
【도 1f】



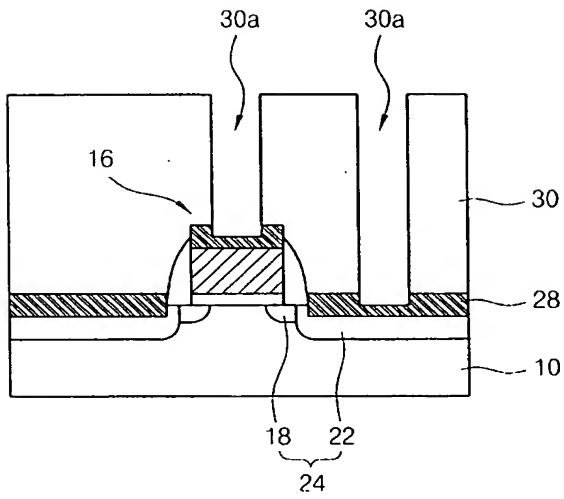
【도 1g】



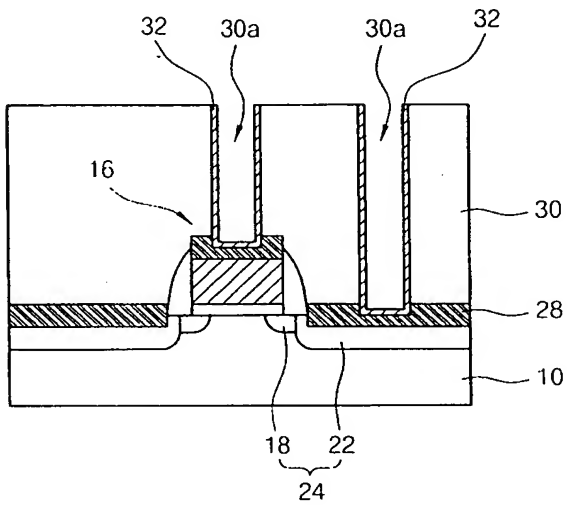
【도 1h】



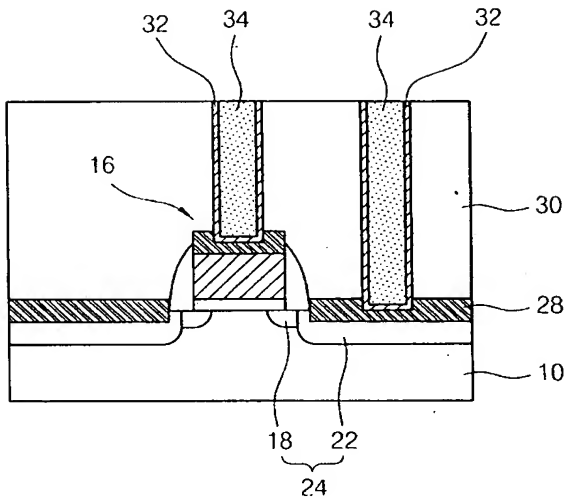
【도 1i】



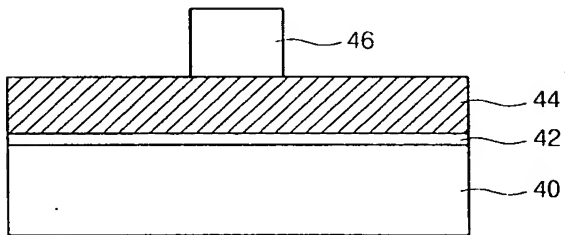
【도 1j】



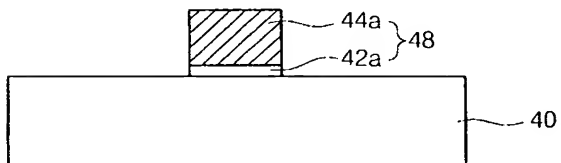
【도 1k】



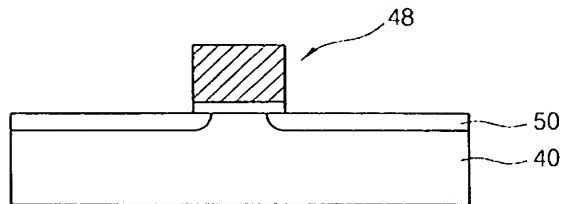
【도 2a】



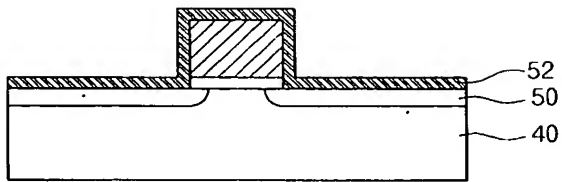
【도 2b】



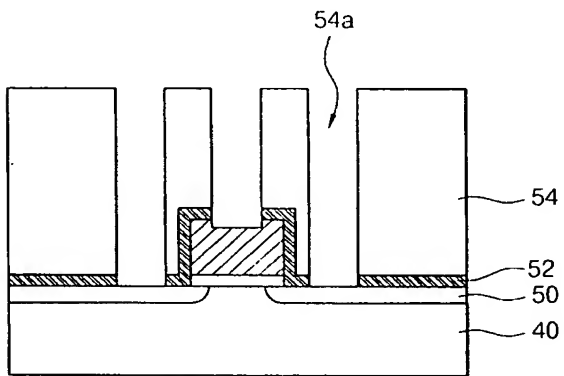
【도 2c】



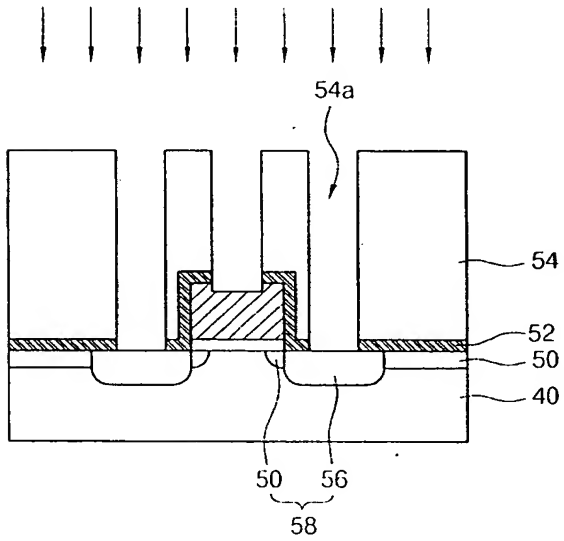
【도 2d】



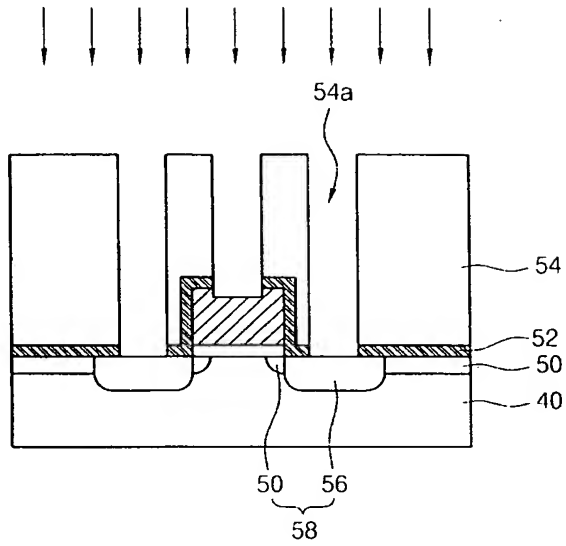
【도 2e】



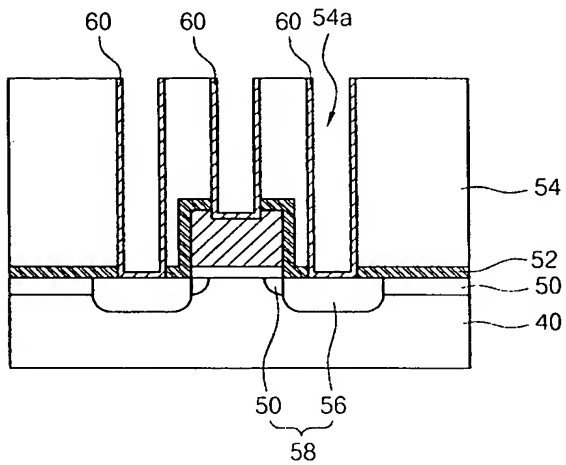
【도 2f】



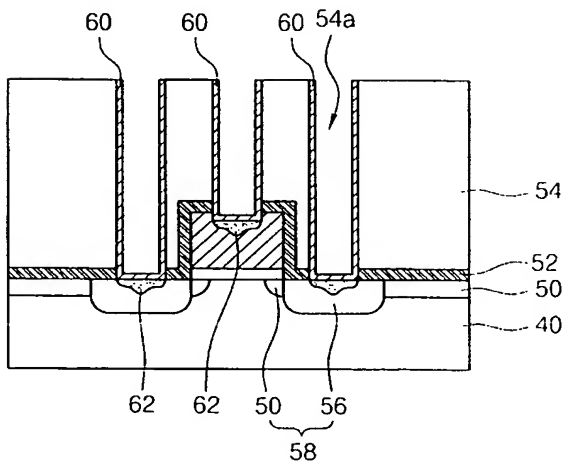
【도 2g】



【도 2h】



【도 2i】



【도 2j】

